

文章编号:1007-2780(2018)11-0943-07

基于优化混频器的数字下变频系统的设计与实现

杜兆凯*, 马宗方, 谷 卓

(西安建筑科技大学 信息与控制工程学院, 陕西 西安 710055)

摘要:在利用频谱分析仪对信号进行实时频谱监测过程中,针对其数字下变频模块精度不高、逻辑资源耗费大、难以对数字中频信号进行实时处理的问题,本文对传统数字下变频系统的混频器模块进行优化并提出一种高效的数字下变频(DDC)系统。首先,设置模数转换器(ADC)的采样率为载波中心频率的 4 倍且采样率转换比率和子 ADC 的数量是 4 的正整数倍,此时混频器可以完全合并到多相 CIC 抽取滤波器中。接着,基于优化的混频器构建一套 DDC 系统,并为每个系统节点合理分配采样率转换倍数。最后,加入 CIC 补偿滤波器,提高数据传输过程中的精度。实验结果表明,与传统 DDC 相比,优化后的 DDC 资源消耗减少,数据精度误差从 1.7% 减小到 0.8%。基本满足功耗低、精度高、稳定运行等要求。

关 键 词:频谱监测;数字下变频;混频器;抽取滤波器

中图分类号:TN914.3 **文献标识码:**A **doi:**10.3788/YJYXS20183311.0943

Design and implementation of digital down converter system based on optimized mixer

DU Zhao-kai*, MA Zong-fang, GU Zhuo

(School of Information and Control Engineering,
Xi'an University of Architecture and Technology, Xi'an 710055, China)

Abstract: Aiming at the shortcomings of digital down-conversion (DDC) module such as low precision, expensive logic resources and difficult to process the digital intermediate frequency (IF) signals in real-time when using spectrum analyzer to monitor spectrum, this paper optimizes the mixer module of the traditional digital down conversion system and proposes an efficient one. Firstly, the sampling rate of the analog-to-digital converter (ADC) is set to 4 times the carrier center frequency, while the sampling conversion ratio and the number of sub-ADCs is set to a positive integer multiple of 4, now the mixer can be completely merged into the multiphase Cascaded Integrator Comb (CIC) decimation filter. Then, a set of DDC system is constructed based on the optimized mixer,

收稿日期:2018-06-11;修订日期:2018-08-08.

基金项目:国家自然科学基金(No.61701388);住房和城乡建设部研究开发项目(No.K32016014);西安建筑科技大学青年科技基金(No.QN1529, No.QN1630)

Supported by Natural Science Foundation of China (No.61701388); Research and Development Project of the Ministry of Housing and Urban-Rural Development (No. K32016014); Youth Science and Technology Fund of Xi'an University of Architecture and Technology (No. QN1529, No. QN1630).

* 通信联系人, E-mail:5290187@qq.com

where each node is reasonably allocated to the system down sampling rate. Finally, CIC compensation filters are added so as to improve the accuracy of data transmission. Experimental results show that compared with the traditional DDC, resource consumption is reduced and the data accuracy error is reduced from 1.7% to 0.8% in optimized DDC. It can satisfy the requirements of small power consumption, high accuracy and stable operation.

Key words: spectrum monitoring; digital down conversion; mixer; decimation filter

1 引言

数字下变频(Digital Down Converter DDC)是频谱分析仪信号接收模块的重要组成部分,其接收来自模数转换器(ADC)的高速数字信号,经过混频、抽取等操作,把高速数字信号转变为低速基带数字信号,对频谱仪实时监测信号频谱至关重要。随着现场可编程门阵列(FPGA)的快速发展,因其内部有丰富的逻辑阵列和连线资源,且性能良好、可复用性强^[1-2],为数字下变频技术的实现提供了新的平台。因此,研究在 FPGA 上实现并优化数字下变频功能成为目前的研究热点。

目前国内外学者和硬件生产厂商大多研究抽取滤波器的优化与组件重复利用^[3-4]。文献[1]利用 FIR 滤波器的线性相位和系数对称性质,减少乘法运算量,但是复杂的算法实现困难,实用价值不高;文献[5]利用实/虚部时分复用和并行计算的流水线方法来提高资源利用率,但是精度不达标,对后续处理产生叠加误差;商用 IP 核^[6]虽然可以实现 DDC 功能,但浪费了大量的资源去解决兼容性问题,处理速度慢。上述研究都是在通用条件下进行 DDC,但是当 ADC 采样率和降采样率都为 4 的正整数倍时混频器复杂度大大降低,此时再采样传统通用的方法会引起大量的资源浪费和额外工作。

为了解决上述问题,本文引入基于优化混频器的数字下变频系统。当 ADC 的采样率 F_s 比载波中心频率 F_c 高 4 倍时,利用查找表相位输出的特性对混频器进行优化,此时查找表的相位输出为 0, 1, -1, 与常规的混频器相比,优化后的混频器不需要乘法器,通过逻辑元器件就可以实现混频;且降采样率为 4 的正整数倍时混频器进一步可以合并到多相 CIC 滤波器中,从而减少乘法器等逻辑资源的使用,减小功

耗;拟引入 CIC 补偿滤波器以提高数据精度。最后在 FPGA 上实现系统设计并把 DDC 输出结果进行仿真验证。

2 数字下变频原理

直接数字下变频过程首先用 ADC 对射频信号进行离散化采样,在大多数设备中采样前有一个低噪声放大器对射频信号进行放大,然后使用基于数字控制振荡器(NCO)的数字混频器与数字化信号混频,将信号频谱移至基带或近基带。最后基带信号被低通滤波,只保留有效频段的信号并进行下采样抽取滤波。

但是直接 DDC 不管在软件算法计算量上还是与硬件设备匹配上效果都非常差。

由于技术上的限制,使用直接 DDC 的单线程架构处理速率较高的数据是不可能的^[7-8]。特别是超高频信号采样,需要非常高速的 ADC,并且 DDC 对高速数据流进行实时降采样是很困难的。此外,为了防止发生频谱混叠,ADC 应符合奈奎斯特准则,即采样频率应至少高于最大输入频率的两倍^[9]。例如,直接采样最大频率成分接近 3.6 GHz 的射频信号至少需要采样率为 7.2 GS/s 的 ADC。因此,对于这样的高频应用,使用并行 DDC 结构是不可避免的,其系统主要结构如图 1 所示。

图 1 说明了基于多相 CIC 抽取滤波器^[10]的多相 DDC 结构,其具有并行计算功能。当抽取因子 $R \geq 16$,使用 CIC 抽取滤波器和补偿 FIR (CFIR) 滤波器,而不是仅用 FIR 滤波器实现 DDC^[11]。对数据进行补偿后通常加入半带滤波器(HBF)进一步降低信号速率,最后低通滤波并送入后续 DSP 专用处理器件。

多相 CIC 抽取滤波器的传递函数为:

$$H(z) = \frac{(1 - z^{-RM})^N}{(1 - z^{-1})^N}, \quad (1)$$

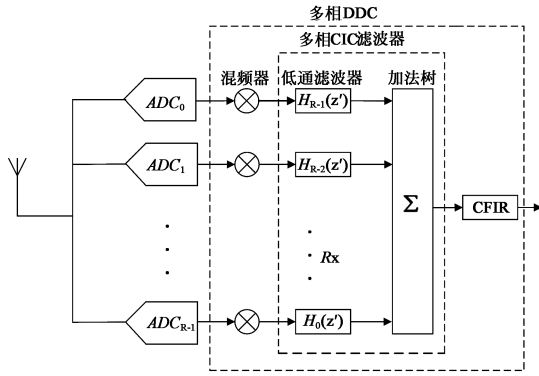


图 1 多相 DDC 结构

Fig.1 Multiphase DDC structure

取 $M=1$, 经整理可得各个子滤波器之和的形式:

$$H(z) = c_0 + c_1 z^{-1} + c_2 z^{-2} + \dots + c_{N(R-1)} z^{-N(R-1)}, \quad (2)$$

其中 $C_0, C_1, \dots, C_{N(R-1)}$ 是表示多相 CIC 抽取滤波器的各个子滤波器传递函数的系数。

虽然基于多相 CIC 滤波器的多相 DDC 适应了硬件(如 FPGA)的并行结构,但是系统未经优化,因此耗费巨大的硬件逻辑资源,给实时处理系统带来很大压力。当前的 DDC 方案大多利用混频器首先对数字信号进行混频然后进行抽取,若把混频器与后续抽取模块合并在一起将大大节省逻辑资源。

3 混频器优化及 DDC 系统设计

3.1 混频器的优化

混频器^[12]通常由一个基于查找表的 NCO 组成,其中查找表里存有正弦或余弦值。基本上,基于查找表的 NCO 由相位累加器输出字控制,该相位累加器输出字根据输入信号的相位选择查找表中的地址以提供对应相位的累加值输出。当 ADC 采样率是载波中心频率的 4 倍时,查找表的相位输出值大为简化,此时不需要内置复杂的查找表和混频时的乘法器,这意味着从 ADC 来的信号经逻辑元器件处理后可以直接送入多相 CIC 滤波器;由于 NCO 和 CIC 滤波器处理顺序可调换且功能没影响,当采样率转换比率为 4 的正整数倍时进一步可以把混频器完全并入多相 CIC 滤波器中,从而大大减少逻辑资源消耗。

通过使 F_s 比 F_c 高 4 倍,可以得到表 1 所示的混频器的相位输出。

表 1 混频器相位输出值

Tab.1 Output value of mixer phase

φ (rad)	0	$\pi/2$	π	$3\pi/2$
$\cos(\varphi)$	1	0	-1	0
$\sin(\varphi)$	0	1	0	-1

利用表 1 的结果,可以显著降低基于查找表的混频器结构的复杂性,如图 2 所示。

从图 2 可以看出,混频器优化前的输出为 $x(n) \times \cos(\varphi)$, 优化后的混频器的输出为 $x(n)$, $-x(n)$ 或 0, 这有效地减少了混频器的乘法器数量。

当进行 4 倍降采样且并行子 ADC 的数量是 4 的正整数倍时,把图 2(b) 结构用于一个多相 DDC, 这个架构可以更加简化。

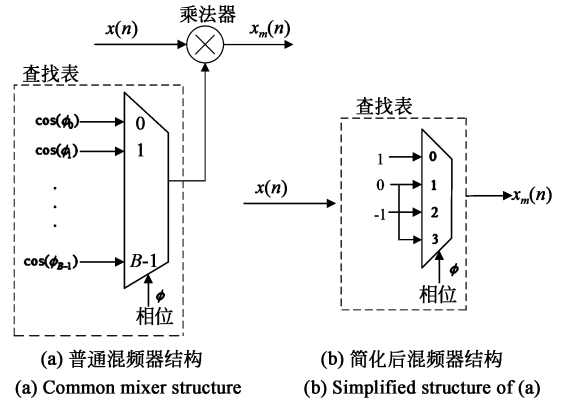


图 2 混频器结构

Fig.2 Mixer structure

在公式(2)中,令 $R=4, N=3$, 有式(3)。

$$H(z) = H_0(z') + z^{-1}H_1(z') + z^{-2}H_2(z') + z^{-3}H_3(z'), \quad (3)$$

其中 $H_0(z')$ 、 $H_1(z')$ 、 $H_2(z')$ 、 $H_3(z')$ 为多相 CIC 滤波器中各子滤波器的传递函数,且

$$z' = z^4$$

$$H_0(z') = 1 + 12(z')^{-1} + 3(z')^{-2}$$

$$H_1(z') = 3 + 12(z')^{-1} + (z')^{-2},$$

$$H_2(z') = 6 + 10(z')^{-1}$$

$$H_3(z') = 10 + 6(z')^{-1}$$

对于每一个同相(I 路径)和正交(Q 路径)分量,可以删除对应于 NCO 输出为 0 的两个子滤波器并将其强制连接到 GND 端,对应于 NCO 输出为 1 的路径可以直接连线到输入 $x(n)$, 而对

应于 NCO 输出 -1 的路径可以引入二进制反向器, 每条路径中减少了所需的子滤波器数量, 从而降低了功耗和硅片面积。

由上述推论可知, 当子 ADC 的数量是 4 的整数倍并且 $F_s = 4 \times F_c$ 时, 混频器是硬连线反相器和导线。且在 DDC 系统中, 混频器和部分 CIC 滤波器的位置可以互换, 而功能没有任何变化。

因此, 进一步的, 在满足以下 3 个条件下, 混频器可以完全合并到抽取滤波器中, 如图 3(b) 所示。

(1) $F_s = 4 \times F_c$, 即, 前端 ADC 的采样率必须是载波中心频率的 4 倍;

(2) $R = 4 \times k$ 其中 k 是正整数, 即抽取因子必须是 4 的非零正整数倍;

(3) $\text{sub-ADC} = 4 \times l$, 其中 l 是正整数, 即子 ADC 的数目必须是 4 的非零正整数倍。

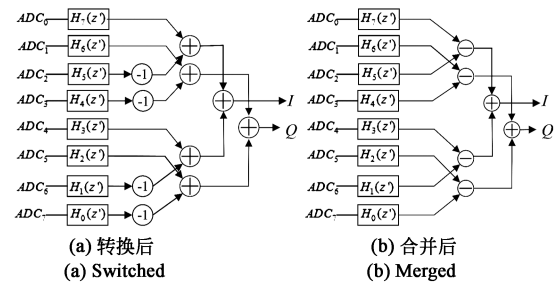


图 3 优化后混频器与多相 CIC 的集成结构

Fig.3 Integrated structure of optimized mixer and multiphase CIC

应用这些条件, 只需要利用减法器简单地替换加法树的第一阶段中的加法器, 就可以删除构成混频器的反向器从而减少资源的使用。式(4)表示优化后混频器中 I 路径的多相 CIC 滤波器的广义传递函数, 同等条件下 Q 路径同样适用。

$$Y_I(z) = (z^{-3} H_3(z') \cdot X(z) - z^{-1} H_1(z') \cdot X(z)) + (z^{-7} H_7(z') \cdot X(z) - z^{-5} H_5(z') \cdot X(z)) + \dots + (z^{-R+1} H_{R-1}(z') \cdot X(z) - z^{-R+3} H_{R-3}(z') \cdot X(z)) \quad (4)$$

利用相位输出的规律, 同时考虑算法与硬件设备的有效结合, 提出一种高效的 DDC 处理系统, 此结构不需要 NCO 实现相位实时计算和混频时的乘法器, 可以一定程度上减少硬件资源的使用量, 功耗也随之降低。

3.2 DDC 系统结构设计

本文提出了一种基于优化混频器的 DDC 结构(如图 4), 由混频器合并到多相 CIC 滤波器的综合模块、CIC 补偿滤波器、HB 滤波器、2 倍插值、实现任意比率转换的可变数字滤波器(VDF)、多相滤波器组成。满足设定条件时, 混频器相位累加的输出值为 0、 -1 、 1 , 混频器被完全合并到多相 CIC 抽取滤波器中, 从而节约全局

资源。

基于提出的(数字下变频)DDC 结构, 本文提出在预处理阶段将采样率转化因子分配给降采样滤波器的每个分量, 如多相 CIC 滤波器, 实现任意比率转换的可变数字滤波器和多相滤波器。SRC 因子 R 定义如下:

$$R = F_s / F_{\text{out}} = R_1 \times R_2 \times R_3, \quad (5)$$

其中: $R_1, R_2 (1 \leq R_2 < 2), R_3$ 分别是 CIC 相滤波器, 可变数字滤波器和多相滤波器的抽取因子。表 2 列出了并行实际输入的 SRC 分解结果。

为了满足实际应用中任意比率转换的要求, 加入基于查找表的 VDF, 而基于查找表的 VDF 由于非零分数延迟使得滤波器系数不对称, 所以用于卷积计算的乘法器的数量等于滤波器的长度。通过在基于查找表的 VDF 前面放置一个 HB 滤波器和 2 倍插值操作, 可以使一半的输入数据变为零。因此, 非恒定系数乘法器的数量减半。

CIC 滤波器的通带增益不平坦特性使得随着级数的增加其通带内衰减也不断增加, 为了对数据进行校正, 获得良好的通带平坦特性, 本系统在 CIC 滤波器后采用 CIC 补偿滤波器对其进行幅

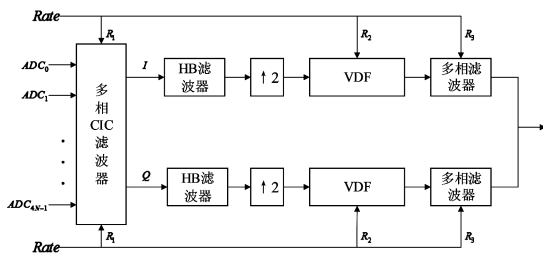


图 4 优化后的 DDC 系统结构

Fig.4 Optimized DDC system structure

度补偿^[13],虽然会增加额外的 FPGA 逻辑资源消耗,但是与信号幅值精度相比,在不影响正常使用的情况下做到了有效的平衡。

表 2 SRC 因子分解结果

Tab.2 SRC factorization results

Rate	R_1	R_2	R_3
$(2^{27}, 2^{28}]$	↓ 1	↓ $2^{28}/\text{Rate}$	↓ 2
$(2^{26}, 2^{27}]$	↓ 1	↓ $2^{27}/\text{Rate}$	↓ 4
$(2^{25}, 2^{26}]$	↓ 1	↓ $2^{26}/\text{Rate}$	↓ 8
$(2^{24}, 2^{25}]$	↓ 1	↓ $2^{25}/\text{Rate}$	↓ 16
$(2^{23}, 2^{24}]$	↓ 1	↓ $2^{24}/\text{Rate}$	↓ 32
$(2^{22}, 2^{23}]$	↓ 2	↓ $2^{23}/\text{Rate}$	↓ 32
$(2^{21}, 2^{22}]$	↓ 4	↓ $2^{22}/\text{Rate}$	↓ 32
$(2^{20}, 2^{21}]$	↓ 8	↓ $2^{21}/\text{Rate}$	↓ 32
$(2^{19}, 2^{20}]$	↓ 16	↓ $2^{20}/\text{Rate}$	↓ 32
$(2^{18}, 2^{19}]$	↓ 32	↓ $2^{19}/\text{Rate}$	↓ 32
$(2^{17}, 2^{18}]$	↓ 64	↓ $2^{18}/\text{Rate}$	↓ 32
$(2^{16}, 2^{17}]$	↓ 128	↓ $2^{17}/\text{Rate}$	↓ 32
$(2^{15}, 2^{16}]$	↓ 256	↓ $2^{16}/\text{Rate}$	↓ 32
$(2^{14}, 2^{15}]$	↓ 512	↓ $2^{15}/\text{Rate}$	↓ 32
$(2^{13}, 2^{14}]$	↓ 1 024	↓ $2^{14}/\text{Rate}$	↓ 32
$(2^{12}, 2^{13}]$	↓ 2 048	↓ $2^{13}/\text{Rate}$	↓ 32
$(2^{11}, 2^{12}]$	↓ 4 096	↓ $2^{12}/\text{Rate}$	↓ 32
$(2^{10}, 2^{11}]$	↓ 8 192	↓ $2^{11}/\text{Rate}$	↓ 32

4 功能验证与资源比较

为了验证功能,提出的 DDC 结构在 Altera Stratix III EP3SL50F484C2 中实现,开发工具是 Quarter II 13.0。实际输入位宽为 12 位,复数输出位宽为 18 位。信号源由 4 个载波组成,其频率

分别为 74.3 MHz、85.8 MHz、92.5 MHz 和 106.2 MHz。8 通道下总的并行采样频率为 3.2 GHz,每个子通道的采样频率为 400 MHz,设降采样率为 1 000,所以下变频后的信号速率为 400 kHz。对信号源输出经各个通道采样后进行正交调制,然后送入相应的 DDC 模块,利用 FIR 低通滤波器对 DDC 后的数据进行整形滤波,最后使用 ChipScope 工具,同时把文献[5]的方案和本文所提系统的输出结果反馈到 MATLAB 软件进行频谱分析,结果如图 5 所示。

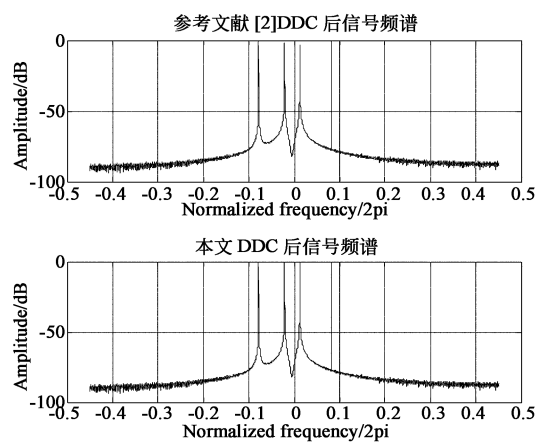


图 5 DDC 后的信号频谱

Fig.5 Signal spectra after DDC

从图 5 可以看出,所提解决方案可以从宽带输入中提取信号源,并成功进行 DDC。与文献[5]相比,85.8 MHz、92.5 MHz 两个频点的信号幅值接近 0 dB,幅值误差最大的 92.5 MHz 信号幅值从 -1.36 dB 被校正到 -0.64 dB,数据误差从 1.7%减小到 0.8%。

为了得到所提 DDC 系统的 FPGA 资源使用情况,首先利用 Verilog HDL 语言搭建本文的数字下变频系统,经 Quarter II 布局和布线之后,可以获得所提数字下变频系统每个组件的硬件资源使用情况(表 3)。

表 3 本文 DDC 架构的各组件硬件资源使用情况

Tab.3 Hardware resource usage of each component of this DDC architecture

资源类型	多相 CIC 滤波器	CIC 补偿滤波器	HB 滤波器	VDF	多相滤波器
Register	3 162	6 294	1 992	4 022	1 542
DSP Blocks	15	0	0	38	37
Memory Bits	183 784	102 177	48 932	83 056	35 286
6-input LUTs	2 198	4 871	1 435	1 339	1 544

为了验证优化后混频器对 DDC 系统的性能提升效果,表 4 列出了文献[5],文献[6]和所提解决方案的硬件资源使用量和功耗比较情况。

表 4 FPGA 资源占用情况比较

Tab.4 Comparison of FPGA resource usage

资源类型	文献[6]	文献[5]	本文 DDC	本文 实测值
Registers	19 426	18 302	17 012	17 581
DSP Blocks	106	91	90	92
Memory Bits	504 368	511 022	453 235	474 801
6-input LUTs	12 238	11 656	11 387	11 533
Power(W)	—	1.626	1.551	1.597

从表 4 可以看出,与文献[6]相比,本文设计使用较少的 Register、Memory Bits 等硬件资源;与文献[5]相比,除 DSP Blocks 和 6-input LUTs 没有减少外,Registers 减少了 1 000 多,Memory

Bits 减少了 5 万多字节;在实际应用测试中,由于实际电路特性、设备差异等原因,各个资源使用量比理论测试值要多一些,但与文献[5]相比功耗降低 0.029 W。结合图 5,本文所提系统在不增加额外资源开销的同时提高了数据精度,这对于信号的正确接收及实时处理至关重要。

5 结 论

本文设计并实现了一种基于优化混频器的 DDC 架构。通过把混频器合并到抽取滤波器组,节省了 DDC 运行时的硅面积,降低了功耗;加入补偿滤波器减小了幅值的叠加误差。在某军工流水线化产品质检工程中,该优化系统已经运用在频谱分析仪的前端接收模块中,并取得了较好的效果。但是对于频点变化的射频信号处理效果不佳,在后续研究中会不断改进系统,以达到全频带的处理效果。

参 考 文 献:

- [1] 田黎育,袁一丹,李晓阳,等.基于 FPGA 的在线可重配置数字下变频器的设计与实现[J].北京理工大学学报,2013,33(3):311-317.
TIAN L Y, YUAN Y D, LI X Y, *et al.* Design and implementation of the on-line configurable digital down converter (DDC) based on FPGA [J]. *Transactions of Beijing Institute of Technology*, 2013, 33(3): 311-317. (in Chinese)
- [2] 王易因,VAN LEUKEN R,VAN DER VEEN A J,等.基于 FPGA 的跳时延发射参考系统的基带数字信号处理[J].光学精密工程,2006,14(5):876-882.
WANG Y Y, VAN LEUKEN R, VAN DER VEEN A J, *et al.* DSP implementation for delay hopped transmitted reference system based on FPGA [J]. *Optics and Precision Engineering*, 2006, 14(5): 876-882. (in Chinese)
- [3] 石明江,张禾,河道清.基于 FPGA 的手持式数字存储示波器显示驱动设计[J].液晶与显示,2010,25(5):738-742.
SHI M J, ZHANG H, He D Q. Design of display driver for oscillograph based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2010, 25(5): 738-742. (in Chinese)
- [4] 邓晓平,田茂,罗义军,等.通用多通道数字下变频器的优化与实现[J].仪器仪表学报,2011,32(9):1993-1997.
DENG X P, TIAN M, LUO Y J, *et al.* Optimization and implementation of universal multi-channel digital down-converter [J]. *Chinese Journal of Scientific Instrument*, 2011, 32(9): 1993-1997. (in Chinese)
- [5] LIU X, YAN X X, WANG Z K, *et al.* Design and FPGA implementation of a reconfigurable digital down converter for wideband applications [J]. *IEEE Transactions on very Large Scale Integration (VLSI) Systems*, 2017, 25(12): 3548-3552.
- [6] RFEL. Wideband DDC [EB/OL]. [2014]. <http://www.rfel.com/index.php/signal-processing/ip-cores/channelisers-ddc/wideband-ddc/#tab-5-wideband-ddc>.
- [7] MARTENS E, BOURDOUX A, COUVREUR A, *et al.* RF-to-baseband digitization in 40 nm CMOS With RF bandpass $\Delta\Sigma$ modulator and polyphase decimation Filter [J]. *IEEE Journal of Solid-State Circuits*, 2012, 47(4): 990-1002.

- [8] FARROW C W. A continuously variable digital delay element [C]//*Proceedings of 1988 IEEE International Symposium on Circuits and Systems*. Espoo, Finland: IEEE, 1988: 2641-2645.
- [9] TIETCHE B H, ROMAIN O, DENBY B. A practical FPGA-based architecture for arbitrary-ratio sample rate conversion [J]. *Journal of Signal Processing Systems*, 2015, 78(2): 147-154.
- [10] HOGENAUER E. An economical class of digital filters for decimation and interpolation [J]. *IEEE Transactions on Acoustics, Speech, and Signal Processing*, 1981, 29(2): 155-162.
- [11] KIM G, CAPOCCIA R, LEBLEBICI Y. Design optimization of polyphase digital down converters for extremely high frequency wireless communications [C]//*Proceedings of 2015 IFIP/IEEE International Conference on Very Large Scale Integration*. Daejeon, South Korea: IEEE, 2015: 207-212.
- [12] 南航,张鹏,佟首峰,等.空间光混频器分光性能的分析与优化[J].*光学 精密工程*,2017,25(7):1748-1756.
NAN H, ZHANG P, TONG S F, *et al.* Analysis and optimization of splitting performance for space optical hybrid [J]. *Optics and Precision Engineering*, 2017, 25(7): 1748-1756. (in Chinese)
- [13] 闵淑琴,马宏.CIC 滤波器及其补偿设计滤波器的设计与实现[C]//*中国通信学会第六届学术年会论文集(下)*.广州:中国通信学会,广东省通信管理局,2009.
MIN S Q, MA H. Design and implementation of CIC filter and its compensation design filter [C]//*China Communications Society Academic Annual Conference*. Guangzhou: China Communications Society, Guangdong Communications Administration, 2009. (in Chinese)

作者简介:杜兆凯(1991—),男,山东临沂人,硕士研究生,研究方向为信号与信息处理。E-mail:5290187@qq.com。